

Ser. 10/511,720

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-224462

(43)Date of publication of application : 08.08.2003

(51)Int.Cl.

H03K 19/0175

H01L 21/8234

H01L 27/06

H04L 25/02

(21)Application number : 2002-022708

(71)Applicant : OTSUKA KANJI
 USAMI TAMOTSU
 HITACHI LTD
 OKI ELECTRIC IND CO LTD
 SANYO ELECTRIC CO LTD
 SHARP CORP
 SONY CORP
 TOSHIBA CORP
 NEC CORP
 MATSUSHITA ELECTRIC IND CO
 LTD
 MITSUBISHI ELECTRIC CORP
 FUJITSU LTD
 ROHM CO LTD

(22)Date of filing : 31.01.2002

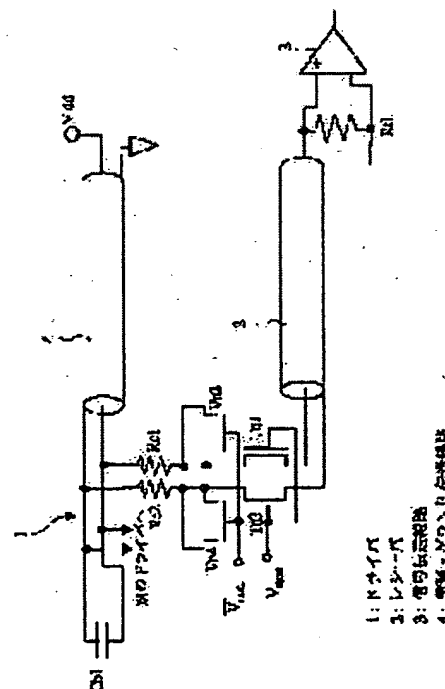
(72)Inventor : OTSUKA KANJI
 USAMI TAMOTSU

(54) SIGNAL TRANSMISSION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a signal transmission technique for transferring a high-speed digital signal of several tens of GHz band, while meeting the conventional system configuration and component configuration, as much as possible.

SOLUTION: In a configuration of a driver 1 and a receiver 2 included in a transistor logic circuit spread over the whole electronic circuit and a memory circuit, a signal transmission system includes the driver 1, which is connected both to the receiver 2 through a signal transmission line 3 and to a power source V_{dd} through a power source and ground transmission line 4. Both the driver 1 and the receiver 2 are configured, to have substantially differential inputs and substantially differential outputs, and at the output ends of the substantially differential outputs of the driver 1, connection to the power source is not provided nor to the ground. The receiver 2 receives the signal, by detecting a voltage difference



between the substantially differential input signals, and further, the signal transmission line 3 has no distribution wiring.

LEGAL STATUS

[Date of request for examination] 01.12.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3742597

[Date of registration] 18.11.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-224462

(P2003-224462A)

(43) 公開日 平成15年8月8日 (2003.8.8)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 3 K 19/0175		H 0 4 L 25/02	F 5 F 0 4 8
H 0 1 L 21/8234		H 0 3 K 19/00	1 0 1 Z 5 J 0 5 6
	27/06	H 0 1 L 27/06	1 0 2 A 5 K 0 2 9
H 0 4 L 25/02			

審査請求 未請求 請求項の数13 O L (全 21 頁)

(21) 出願番号 特願2002-22708 (P2002-22708)

(22) 出願日 平成14年1月31日 (2002.1.31)

(71) 出願人 598042633

大塚 寛治

東京都東大和市湖畔2-1074-38

(71) 出願人 598168807

宇佐美 保

東京都国分寺市西町2-38-4

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

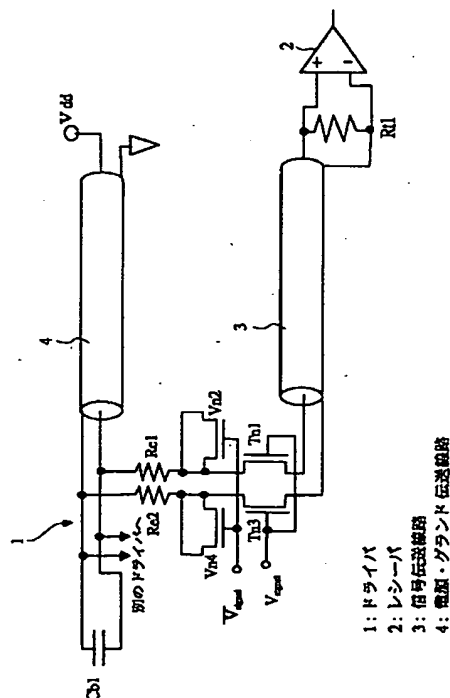
(54) 【発明の名称】 信号伝送システム

(57) 【要約】

【課題】 できるだけ従来のシステム構成と部品構成を肯定しながら、数十GHz帯のデジタル高速信号を通すための信号伝送技術を提供する。

【解決手段】 電子回路全体に渡るトランジスタの論理回路、メモリ回路に含まれるドライバ1とレシーバ2の構成において、ドライバ1は信号伝送線路3を通じてレシーバ2に、電源・グラウンド伝送線路4を通じて電源V_{dd}にそれぞれ接続される信号伝送システムであって、ドライバ1およびレシーバ2は全て実質的差動入力、差動出力とし、ドライバ1の実質的差動出力の出力端では電源またはグラウンドへの接続を有することなく、またレシーバ2は実質的差動入力の信号の電位差を検知することで受信し、さらに信号伝送線路3は分配配線がない、構造とする。

図2



【特許請求の範囲】

【請求項1】 電子回路全体に渡るトランジスタの論理回路、メモリ回路に含まれるドライバ回路およびレシーバ回路と、前記ドライバ回路と前記レシーバ回路とを電気的に接続する信号伝送線路とを有し、

前記ドライバ回路および前記レシーバ回路は全て実質的差動入力、差動出力であり、前記ドライバ回路の実質的差動出力の出力端では電源またはグラウンドへの接続を有することなく、前記レシーバ回路は実質的差動入力信号の電位差を検知することで受信し、

前記信号伝送線路は分配配線がない、ことを特徴とする信号伝送システム。

【請求項2】 請求項1記載の信号伝送システムにおいて、

電力供給線をさらに有し、

前記電力供給線は電源・グラウンドペア伝送線路となっている構造で、それぞれの最小論理要素回路、メモリ要素回路の1要素回路あたりに1専用ペア線路で接続されている、ことを特徴とする信号伝送システム。

【請求項3】 電子回路全体に渡るトランジスタの論理回路、メモリ回路に含まれるドライバ回路およびレシーバ回路と、前記ドライバ回路と前記レシーバ回路とを電気的に接続する信号伝送線路と、電力供給線の電源・グラウンドペア伝送線路とを有し、

前記電源・グラウンドペア伝送線路の特性インピーダンスは前記電源・グラウンドペア伝送線路にぶら下がる信号ドライバ回路数の伝送線路の特性インピーダンスの合計並列インピーダンスと等しいか、またはそれより小さな値である、ことを特徴とする信号伝送システム。

【請求項4】 電子回路全体に渡るトランジスタの論理回路、メモリ回路に含まれるドライバ回路およびレシーバ回路と、前記ドライバ回路と前記レシーバ回路とを電気的に接続する信号伝送線路とを有し、

前記ドライバ回路のトランジスタ出口から接合するべき前記レシーバ回路のトランジスタの入口まで全て前記信号伝送線路はペア線路であり、幾何学的にトランジスタコンタクト部にアプローチする配線のみスタンドアロン配線とし、前記スタンドアロン配線はゲート配置ピッチ以下の長さである、ことを特徴とする信号伝送システム。

【請求項5】 電子回路全体に渡るトランジスタの論理回路、メモリ回路に含まれるドライバ回路およびレシーバ回路と、前記ドライバ回路と前記レシーバ回路とを電気的に接続する信号伝送線路とを有し、

前記ドライバ回路から差動出力された送端のトランジスタの出口からの前記信号伝送線路は全て前記レシーバ回路の終端のトランジスタの入口まで特性インピーダンスが整合していて、終端に整合した終端抵抗が接続された構造であり、

特性インピーダンスが整合できない層間接続コラム、ビ

アホール、接続スタッドの接続部は前記接続部の不連続部分の電磁波遅延時間を t_{pd} 、パルス立ち上がり時間を t_r 、立ち下がり時間を t_f とすると、 $t_r > 7 t_{pd}$ 、 $t_f > 7 t_{pd}$ の関係を有する、ことを特徴とする信号伝送システム。

【請求項6】 電子回路全体に渡るトランジスタの論理回路、メモリ回路に含まれるドライバ回路およびレシーバ回路と、前記ドライバ回路と前記レシーバ回路とを電気的に接続する信号伝送線路と、電力供給線の電源・グラウンドペア伝送線路とを有し、

全ての前記信号伝送線路および前記電源・グラウンドペア伝送線路はTEMモードが維持される構造であり、空气中に電磁波が漏れる構造にあっては前記電磁波が漏れる部分の実効誘電率が内部誘電体誘電率に整合するような高誘電率材料がコーティングされる構造を含む、ことを特徴とする信号伝送システム。

【請求項7】 電子回路全体に渡るトランジスタの論理回路、メモリ回路に含まれるドライバ回路およびレシーバ回路と、前記ドライバ回路と前記レシーバ回路とを電気的に接続する信号伝送線路とを有し、

前記信号伝送線路はペアコプレーナ線路、スタックトペア線路、ガードスタックトペア線路、またはガードコプレーナ線路であり、

隣接ペア線路との距離はペア線路自身のスペースを基準にして、前記ペアコプレーナ線路、前記スタックトペア線路は2倍以上のスペースを有し、前記ガードスタックトペア線路、前記ガードコプレーナ線路は1倍以上のスペースを有する、ことを特徴とする信号伝送システム。

【請求項8】 請求項1記載の信号伝送システムにおいて、

前記ドライバ回路および前記レシーバ回路が複数ビットで構成されるときは前記信号伝送線路の全線路に渡って、物理構造が相対的に同じで等長配線長とし、並行な等長配線を基本としながらファンアウト配線を等長とするために円弧状の配線とする、ことを特徴とする信号伝送システム。

【請求項9】 電子回路全体に渡るトランジスタの論理回路、メモリ回路に含まれるドライバ回路およびレシーバ回路と、前記ドライバ回路と前記レシーバ回路とを電気的に接続する信号伝送線路とを有し、

前記ドライバ回路および前記レシーバ回路はSiまたはSiGeのnチャネルMOS、GaAsのnチャネルMESでグラウンド接続のないバススイッチ回路で実質的差動出力と差動入力回路、または反転入力nMOS差動カレントスイッチ回路、または定電流型バススイッチ回路、またはバラクタ付きショットキー高速バイポーラ差動回路で構成された、ことを特徴とする信号伝送システム。

【請求項10】 電子回路全体に渡るトランジスタの論理回路、メモリ回路に含まれるドライバ回路およびレシ

一バ回路と、前記ドライバ回路と前記レシーバ回路とを電氣的に接続する信号伝送線路とを有し、
 全ての前記トランジスタに相補的に同じMOS、MES、またはバイポーラトランジスタ構造のバラクタを配置した構成である、ことを特徴とする信号伝送システム。

【請求項11】 電子回路全体に渡るトランジスタの論理回路、メモリ回路に含まれるドライバ回路およびレシーバ回路と、前記ドライバ回路と前記レシーバ回路とを電氣的に接続する信号伝送線路とを有し、
 前記レシーバ回路は反転信号またはクロックが入力する近接した相補的トランジスタであれば、前記相補的トランジスタを互いに相補的バラクタとして利用する構成である、ことを特徴とする信号伝送システム。

【請求項12】 電子回路全体に渡るトランジスタの論理回路、メモリ回路に含まれるドライバ回路およびレシーバ回路と、前記ドライバ回路と前記レシーバ回路とを電氣的に接続する信号伝送線路とを有し、
 前記レシーバ回路は差動アンプ回路を構成し、スイッチトランジスタは全てバラクタまたは同種反転トランジスタで相補的バラクタ作用を保有する構成とする、ことを特徴とする信号伝送システム。

【請求項13】 電子回路全体に渡るトランジスタの論理回路、メモリ回路に含まれるドライバ回路およびレシーバ回路と、前記ドライバ回路と前記レシーバ回路とを電氣的に接続する信号伝送線路とを有し、
 前記ドライバ回路の前段のフリップフロップ回路は正信号とともに反転信号を出力する回路であり、トランジスタ構成と段数を同じにして両信号出力のスキューがない回路とし、スイッチトランジスタは全てバラクタまたは同種反転トランジスタで相補的バラクタ作用を保有する構成とする、ことを特徴とする信号伝送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、信号伝送システムに関し、特に従来のシステム構成と部品構成を肯定しながら、数十GHz帯デジタル高速信号を通すための信号伝送技術に適用して有効な技術に関する。

【0002】

【従来の技術】 本発明者が検討したところによれば、信号伝送システムに関しては、以下のような技術が考えられる。

【0003】 近年、LSIチップを動作させるためのクロック周波数は1.5GHzに達するが、この信号のやり取りをするチップ外線路の周波数は最高でも530MHzに過ぎず、信号をLSIに取り込むバンド幅がLSIの要求に対して不足している状態である。LSIの信号処理をスムーズにするため、ロジックチップでもメモリチップでもキャッシュメモリを埋め込んでバンド幅不足に対応している。

【0004】

【発明が解決しようとする課題】 ところで、前記のような信号伝送システムについて、本発明者が検討した結果、以下のようなことが明らかとなった。

【0005】 たとえば、前記のように、バンド幅の不足に対して、キャッシュメモリを埋め込んで対応しているが、大きなキャッシュメモリの面積を必要とするだけでなく、アドレス計算が余分となり、アーキテクチャも複雑になる。もし、LSIのクロックと整合したI/Oバンド幅の確保ができれば、キャッシュメモリが不要でアーキテクチャの単純なシステムとなる。

【0006】 チップのI/Oは、本質的にチップの中の処理ビット数と同じであることがデジタルシステムの基本であり、バンド幅を整合させるにはチップのクロックとI/Oバスの伝送クロックが同じでなければならない。今後、GHz帯へ突入する時代にあってバスクロックの改善は急務である。バスの基本構成である伝送線路がその特性を有していてもGHz帯クロックは通らない。ドライバ・レシーバとそれを含むパッケージ構造の全てが高速信号を通すための用意がなされて初めてGHz伝送ができることになる。

【0007】 一方、チップ内の未来を予測すると、2001 Symposium on VLSI Technology (2001. 6. Kyoto) でゲート長20nmのMOS構造が発表され、20GHzのデジタル信号を処理できるとしている。2007年に実現できると予測される。20~50GHzのデジタル信号を10mm角のチップ内配線で通すこともできない。システム全体に渡って、ユニファイン環境にするには根本的に考えを新たにしたシステム構築が必要である。

【0008】 そこで、本発明の目的は、できるだけ従来のシステム構成と部品構成を肯定しながら、数十GHz帯のデジタル高速信号を通すための信号伝送技術を提供することである。

【0009】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0011】 本発明は、大まかな発明原理を述べると、コモンランド、回路のコモン電源を排除した構成をすることにあり、GHz帯のパルス信号伝送は、回路や線路にパルスのエネルギー（電荷量）が動く過程をできるだけ制限しないようにすることが求められ、かつ、反射を引き起こす不連続点をなくすことにあり、これを忠実に対応した結果が本発明の概念となる。

【0012】 具体的に、本発明による信号伝送システムは、以下のような特徴を有するものである。

【0013】(1) 電子回路全体に渡るトランジスタの論理、メモリ回路(ドライバ、レシーバを含む)などは全て実質的差動入力、差動出力とし、分配配線がない。送端側出力端(差動のペア端)では電源またはグランドへの接続を、一切、有さない回路構成である。レシーバはその実質的差動信号の電位差を検知することで受信する。

【0014】(2) 前記(1)の電力供給線は電源・グランドペア線路となっている構造で、それぞれの最小論理要素、メモリ要素回路の1要素回路当たり、1専用ペア線路で接続されている。なお、電源・グランド1専用ペア線路の定義は最近接バイパスコンデンサ(前線基地電源)からのアプローチを言う。

【0015】(3) 電源・グランドペア伝送線路の特性インピーダンスはそれにぶら下がる信号ドライバ数の伝送線路特性インピーダンスの合計並列インピーダンスと等しいかまたはそれより小さな値である。

【0016】(4) トランジスタ出口から接合するべきトランジスタの入口まで全て伝送線路(ペア線路)であり、幾何学的にトランジスタコンタクト部にアプローチする配線のみスタンドアロン配線(単独配線)を余儀なくされるが、この配線はゲート配置ピッチ以下の長さである。

【0017】(5) 差動で出力されたトランジスタの出口(送端)からの伝送線路は全て終端のトランジスタの入口まで特性インピーダンスが整合していて、終端に整合した終端抵抗が接続された構造である。特性インピーダンスが整合できない層間接続コラム、ビアホール、接続スタッド(バンプ)などは、その不連続部分の電磁波遅延時間を t_{pd} 、パルス立ち上がり(立ち下がり)時間を $t_r(t_f)$ とすると、 $t_r > 7t_{pd}$ 、 $t_f > 7t_{pd}$ の関係を有する。層間接続コラム、ビアホールなどが特性インピーダンス整合可能なときはこの限りではない。

【0018】(6) 全ての接続線路(信号伝送線路、電源・グランドペア線路)はTEMモードが維持される構造である。空气中に電磁波が漏れる構造にあっては、その部分の実効誘電率が内部誘電体誘電率に整合するよう高誘電率材料がコーティングされる構造を含む。

【0019】(7) 伝送線路はペアコプレーナ、スタックトペア、ガードスタックトペア、ガードコプレーナ構造である。隣接ペアとのスペースルールは、ペア線路自身のスペースを基準にして、ペアコプレーナ、スタックトペアは2倍以上のスペースを有し、ガードスタックトペア、ガードコプレーナは1倍以上のスペースを有する。

【0020】(8) 前記(1)の回路が複数ビットで構成されるときは全線路に渡って、物理構造が相対的に同じで、等長配線長とする。並行な等長配線を基本とするが、ファンアウト配線を等長とするため、円弧状の配

線とする。

【0021】(9) ドライバ・レシーバ回路はSiまたはSiGeのnチャネルMOS、GaAsのnチャネルMESでグランド接続のないバススイッチ回路で実質的差動出力と差動入力回路(図2)、または反転入力nMOS差動カレントスイッチ回路(図14)、または定電流型バススイッチ回路(図15)、またはバラクタ付きショットキー高速バイポーラ差動回路(図6)で構成する。

【0022】(10) 全てのトランジスタに相補的に同じMOS、MES、バイポーラトランジスタ構造のバラクタを配置した構成である。

【0023】(11) 反転信号またはクロックが入力する近接した相補的トランジスタであれば、それらを互いに相補的バラクタとして利用する構成とする。

【0024】(12) レシーバは差動アンプ回路を特徴とするが、高速スイッチトランジスタは全てバラクタまたは同種反転トランジスタで相補的バラクタ作用を保有する構成とする。

【0025】(13) ドライバ前段のフリップフロップは正信号とともに反転信号を出力する回路であるが、トランジスタ構成と段数を同じにして両信号出力のスキューがない回路とする。また、高速スイッチに対して前記(12)と同様のバラクタ構成とする。

【0026】

【発明の実施の形態】以下、本発明の実施の形態を図面に基つて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には同一の符号を付し、その繰り返しの説明は省略する。

【0027】本発明における信号伝送システムの一例として、本実施の形態においては、1. LSIチップのI/Oドライバ・レシーバ回路構成、2. システム構造、の順に説明する。

【0028】1. LSIチップのI/Oドライバ・レシーバ回路構成

LSIチップのI/Oドライバ・レシーバ回路構成については、既に、本発明者が以前に提案した、P1(特開平11-284126号)、P2(特開2000-174505号)の電源・グランドペア構造を含む回路構成、P4(特開2001-211211号)のレシーバ回路構成、P9(特願2000-315630号)の高速信号処理が可能なトランジスタ構造(バラクタ挿入など蓄積キャリアの再利用)、P10(特願2002-15753号)のチップ内埋め込みバイパスキャパシタ構造、それらの合成であるP12(特願2001-369358号)を好ましくは利用した構成となる。以下において、本発明者が提案した前記技術と重複する部分については、提案技術P1、P2、P4、P9、P10、P12と記載して詳細な説明は省略する。

【0029】まず、本発明における信号伝送システムの

信号のやり取りをする回路を示すと、後述する図2のようになる。詳細は図2を用いて説明する。ここでは、電子回路全体に渡るトランジスタの論理回路、メモリ回路に含まれる、実質的差動出力を可能とするドライバとレシーバの構成が記述されている。送端側にグランド接続がないことが従来と大きく異なる。高速に動作するときの現象を理解しなければ本発明の有効性が明確に説明できないので、まず電磁気学的概念を説明する。

【0030】一般に、パルスとは正弦波の高調波を含んだ合成波である。パルスのクロック周波数を基本波（エネルギー率約70%）とすると、約20%のエネルギーを持つ3倍高調波、約5%のエネルギーを持つ5倍高調波、1.5%のエネルギーを持つ7倍高調波、0.5%のエネルギーを持つ高調波、さらに奇数倍で小さなエネルギーを持つ高調波の合成である。エネルギー的に問題のある高調波を安全サイドで見ると、パルスのクロック周波数に対して1桁高い周波数の問題を論じるべきである。また、同じパルス周波数に対して立ち上がり t_r （立ち下がり t_f ）時間が急峻なほど、高次高調波のエネルギーが高く、立ち上がり時間から基本波 f を想定すると、 $f=0.35/t_r$ 、または $f=0.35/t_f$ となる。これをパルス実効周波数と名付ける。

【0031】電磁波速度で伝わる正弦波エネルギーが波の節目となる伝送距離に対して共振を起こす。最小節目は $1/4$ 波長（ $\lambda/4$ ）である。前述の高次高調波の共振が起こることになる。共振が起こると、その正弦波の伝達コンダクタンスが ∞ 、すなわち抵抗が0になり、他の正弦波の有限なコンダクタンスと大きく異なって伝達する。すなわち、増幅されたことになる。極端な場合、数%のエネルギーを持つ高調波が基本波と同じエネルギーを持って伝達し、パルス波形が大きく乱れると同時に、電磁放射の原因となる。本発明はデジタル回路設計の分野の技術であるが、一般にこの観点の知識に疎い分野のため、敢えてこの解説を行っている。

【0032】前述の2001 Symposium on VLSI Technologyで発表されたCPU、20GHzクロックの7倍高調波までを問題にする。180GHzという正弦波である。誘電率 $\epsilon_r=4$ の場を伝送する線路の電磁波速度は 1.5×10^8 m/sとなるため、180GHzの $\lambda/4=21 \mu\text{m}$ となる。LSIチップの中の配線長は $21 \mu\text{m}$ 以上に達することができない。もし、必要な場合はリピータ回路を挿入しなければならない。現実的にもRC遅延で問題となる配線長はこれ以下となり、LSIチップの中のグローバル配線は全て高調波に耐え得る伝送線路としなければならないことになる。

【0033】LSI設計の一般論として、配線長の分布は図1のようになっている。図1は、一般的なLSIの配線長分布を示す図である（日本学術振興会、極限構造電子物性第151委員会第55回研究会、超集積化デバ

イス・システム第165委員会第16回研究会合同研究会、2000.7.19-20における東京工業大学の益一哉によるガイドライン）。

【0034】長い配線は、LSIの機能ブロック間のいわゆるグローバル配線と言われるものである。図1のように、伝送線路にする必要がない部分（集中定数回路部分）と伝送線路にしなければならない部分（分布定数回路）を分離すると提案している。本発明も、この提案の範囲に存在させることが現実的である。長い配線を必要とする回路構成はLSIの中の10%であると想定して、高周波における問題発生への対応策、すなわち本発明の技術内容を以下に説明していく。

【0035】ドライバのパルス状の出力信号を得るためにはスイッチと電源が必要である。ところが、電流の流れしていない状態から瞬時に大量の電流が流れる状態になれば、その電流遷移勾配 di/dt は急峻になり、 $v=Ls(di/dt)$ の電圧低下が起こり、電源 V_{dd} が瞬時にこの v 分だけ低下する（ $V_{dd}-v$ ）。クロック周波数が1桁向上するということは、同じ配線構造では、 v が1桁大きくなることである。回路中の寄生インダクタンス Ls を概算すると配線長さ $10 \mu\text{m}$ で 10pH となる。従来、 10pH を良しとした回路であるとするならば、周波数を1桁向上させるには 1pH 、すなわち配線長さは $1 \mu\text{m}$ としなければならないことになる。 $10 \mu\text{m}$ 配線を保つためには、 $Ls=0.1 \text{pH}$ にするか、もしくは電流を一定にしなければならないが、集中定数回路的設計では到底不可能なことである。しかし、これは分布定数回路では可能なこととなる。ここで、具体的な回路で考えてみる。

【0036】GHz帯の信号立ち上がり $t_r=10 \text{ps}$ 以下にしたとき、従来回路では全く動作しない。既に歴史のあるECL回路を使用したカレントスイッチ型ドライバは、この問題を排除するためのものである。しかし、これも全く用をなさない。図2の回路は、ECLに代わってnMOSの1段で作ったバススイッチ回路である。図2は、ドライバとレシーバを接続する構造の一例を示す図である。図2では、実質的差動出力を可能とするドライバ1とレシーバ2を示している。ドライバ1は、nMOSトランジスタ T_{n1} 、 T_{n3} 、バラクタ V_{n2} 、 V_{n4} 、抵抗 R_{e1} 、 R_{e2} などからなり、フリップフロップから差動入力信号 V_{signal} 、 $\neg V_{\text{signal}}$ （ \neg は反転信号を表す）が供給される。また、ドライバ1には、別のドライバなどと共通に、バイパスコンデンサ C_{b1} が接続されている。ドライバ1は、信号伝送線路3を通じてレシーバ2に、電源・グランド伝送線路4を通じて電源 V_{dd} にそれぞれ接続される。また、レシーバ2の入力端には抵抗 R_{t1} が接続されている。

【0037】通常、ドライバ1の前段はラッチが存在し、フリップフロップ回路である。この回路は差動出力

端を必然的に持つため、ドライバ1への入力信号は相補的に配置されたnMOSで、提案技術P9に示したバラクタ挿入回路を比較的簡単に作ることができる。トランジスタを多く配置した回路はpn接合容量がトランジスタの数だけ多くなり、重畳した瞬時電流を多く流すことになるだけでなく、信号切り替え時にこれを放電させる必要があり、スイッチング動作の遅れを誘発する。これを防止するドライバ回路は、図2のように、最小のトランジスタ数で構成しなければならない。このnMOSTランジスタ T_{n1} 、 T_{n3} に直列につながった抵抗 R_{e1} 、 R_{e2} は、pn接合容量を誘発する原因になる拡散抵抗は使用しないで、タンゲステンまたはモリブデンやそのシリサイドなどの金属膜抵抗が望ましい。

【0038】この回路の有用性をシミュレーションで確認する。図3は35GHzクロック相当のシミュレーションモデル回路、図4は図3の回路のシミュレーション結果（上段：電流、中断：電源電圧、下段：送端と終端の信号波形）をそれぞれ示す図である。

【0039】図3が $t_r = t_f = 10\text{ps}$ （35GHzクロック周波数相当）における本発明のドライバ回路で、電源電圧 $V_{dd} = 2\text{V}$ 、伝送線路電圧 100mV に設定した。シミュレータは、グランドが絶対グランドになっていて、前記図2のような実質的差動回路とはならないため、グランドを浮かす工夫をしている。そのシミュレーション結果を図4に示す。 R_3 、 R_4 は、電流制御抵抗 800Ω とトランジスタオン抵抗 100Ω を加算したものである。 U_1 と U_2 、 U_3 と U_4 は、差動トランジスタのスイッチ動作を表現したものである。オン抵抗 0.001Ω 、オフ抵抗 $1\text{M}\Omega$ である。トランジスタ寄生容量を設定するため、 C_3 、 C_4 の 5fF を併設した。 T_3 、 T_4 の伝送線路はLSI内で制御可能な適切と思われる 100Ω （片側 50Ω ）の特性インピーダンスとし、誘電率 $\epsilon_r = 4$ の絶縁物で囲まれた線路で 3m 線路長に相当する遅延 20ps を設定した。2本の線路でペアを組んだ時 100Ω となり、シミュレータではできないため2本の同軸ケーブルを使用した。

【0040】当然、 R_1 、 R_2 の終端抵抗は 100Ω であるが、差動ゲートに入力されるとして、それぞれ C_5 、 C_6 の 5fF のゲート容量を付加した。 T_1 、 T_2 の電源・グランドペア線路の特性インピーダンスを信号線寸法と同じとし、 100Ω に設定し、チップ内に散りばめられた C_1 、 C_2 のバイパスコンデンサを 100fF とした。ここで、 L_1 、 L_2 はバイパスコンデンサの寄生インダクタンスで対抗電極という性格上電流パスの複雑性から減らすことは難しく、 10pH とした。差動信号は前記図2のようにシングルエンド的に取り扱うが、シミュレーションで、このようなツールがないため、2対の対グランドとの伝送線路と表現した。

【0041】信号電圧振幅が 100mV と非常に低いが、差動入出力では検出可能な電位差であるとした。伝

送線路の終端抵抗に常時定電流を流すことになるが、その電流を小さくし、低電力を意識した設定となる。この設定では、オン時 2mA となり、1ドライバ当たり $100\mu\text{W}$ （オン時）の消費となる。相対的に大きな消費電力であり、LSI当たり 10% 程度に止める設計のグローバル配線とすることがガイドラインとして必然的に出てくる。しかし、これは本発明の制限事項ではない。

【0042】このような高周波数でもシミュレーションではほぼ定電流が維持され、ほとんど問題がない。電流のピーク増大はオープン、クローズスイッチ回路におけるスイッチ特性の相補特性の狂いによるもので、この電流インデントが受信端の容量で少し出る程度である。提案技術P9のバラクタ技術のシミュレーションはできないため、これがあると立ち上がり、立ち下がりをもっと急峻できれいな波形となるはずである。これは、本発明の大きなポイントである。同じウエル内のため、特性はアンバランスになりやすく、フラット電流になることが期待される。

【0043】これにより、パルス実効周波数 35GHz で動作可能な回路が提案できたことになる。前述した図2を元にしてまとめると、（1）差動ドライバは1段のトランジスタで構成されていること、（2）電源側のトランジスタ T_{n1} 、バラクタ V_{n2} とトランジスタ T_{n3} 、バラクタ V_{n4} はそれぞれ同じウエル構造の中にあり、トランジスタ拡散容量を含めた全てのトランジスタ容量のチャージ交換ができる構造であること、（3）電源・グランドはペア伝送線路であること、（4）差動信号はシングルエンド的伝送線路構造（図2）で取り扱い、一般的なグランドを基準とした差動でない構成で、伝送線路の周辺にグランドが配置されていないことを規定する構造であること、（5）ドライバ出力端からレシーバ入力端まで差動のペア信号はいかなる所でもグランドや電源に接続されていないこと、（6）整合終端をシングルエンド伝送線路の特性インピーダンスと同じ値とする構成であること、（7）差動ドライバがバイポーラの場合はベースにして、内部蓄積電荷の反転信号による相補利用を考えた構成であること、がドライバ周辺の本発明の提案技術となる。以上は、図2から類推される項目であり、本提案の全てではない。

【0044】次に、前記（2）の作用を実現するトランジスタ断面構造の一例を記載すると、図5のようになる。図5は、前述した図2におけるnMOS構造のドライバの断面構造の一例を示す図である。nMOSTランジスタ T_{n1} とバラクタ V_{n2} は、同じPウエル11の構造の中にあり、n拡散領域12につながるソースおよびドレイン、酸化膜13を挟んだゲートGから構成される。同様に、nMOSTランジスタ T_{n3} とバラクタ V_{n4} は、同じPウエル11の構造の中にあり、n拡散領域12につながるソースおよびドレイン、酸化膜13を挟んだゲートGから構成される。nMOSTランジスタ

Tn1, Tn3のゲートGには信号Dinが入力され、バラクタVn2, Vn4のゲートには信号/Dinが入力される。

【0045】このように、ドライバ1のnMOSトランジスタTn1, Tn3とバラクタVn2, Vn4は同一ウェル構造の中にある。それぞれのゲート電位に吸い寄せられたチャネル電荷(nMOSでは電子14は少数キャリアであるが、ホール15は多数キャリアでチャネルとは言えないが、高ホール密度をチャネルと仮に呼ぶ)が相補入力信号で開放されたとき、隣接トランジスタの吸引が起こるときであり、高速なキャリア交換が行えることになる。また、電荷の再利用による電力の節約にも大きく寄与する。

【0046】これをバイポーラトランジスタで考えると、図6のような断面構造になる。図6は、バイポーラトランジスタのキャリア再利用回路を示す図である。なお、図6においては、Pウェル21上のnウェル22の構造の中に形成されたグランド用のpnpトランジスタのみを示し、信号線用のpnpトランジスタは省略している。バイポーラトランジスタのキャリア再利用回路では、ベースの蓄積少数キャリアのコレクタ側への引き抜きが共通コレクタ電流で強調されるとともに、空乏層電荷の相補的増減を共通コレクタが補償する。エミッタの引き抜きは従来と変わらないため、MOSにおける効果より少ないが、大きな高速動作を可能とする構造であり、電荷再利用で電力も低減できる。

【0047】次に、図7に、レシーバ回路の一例を示す。図7は、レシーバ端の回路の一例を示す図である。実質的差動入力レシーバ2は、バラクタVp11, Vp12, pMOSトランジスタTp11, Tp12, nMOSトランジスタTn11~Tn13からなる差動増幅部と、pMOSトランジスタTp13, nMOSトランジスタTn14からなる電流設定部から構成される。nMOSトランジスタTn11, Tn12は反転信号入力のため、前述した図5や図6と同様に、共通ウェル構造や共通コレクタ構造(バイポーラを採用した場合)をとれば高速動作が可能である。nMOSトランジスタTn13, Tn14, pMOSトランジスタTp13はスタティックなトランジスタのため、従回路で充分である。nMOSトランジスタTn11, Tn12の反転動作を利用してバラクタVp11, Vp12を、前記図2と同様にして前記図5のようにセットにすればよく、これで高速動作と省電力動作が可能となる。pMOSトランジスタTp11とバラクタVp11, pMOSトランジスタTp12とバラクタVp12が同じウェル構造の中にあればよい。

【0048】引き続き、配線構造を図8に示す。図8は、ドライバの平面構造の一例を示す図である。ドライバは、前記図2と同様に、2つのnMOSトランジスタ(Tn1, Tn3)と2つのバラクタ(Vn2, Vn

4)からなり、Pウェル11の構造の中に形成される。ゲートGは入力信号のペア伝送線路31につながり、ソースおよびドレインのn拡散領域12はコンタクト32を通じて電源・グランドにつながる線路や出力信号の伝送線路33に接続される。電源・グランドの伝送線路34には、抵抗(Re1, Re2)を介して直上層へのコンタクト35により接続される。

【0049】このように、入力信号がペア伝送線路31、出力信号の線路も伝送線路33、電源・グランドペアも伝送線路34(上層)であることが重要な設計ポイントであり、幾何学的構造でどうしてもペアにならない配線のみがスタンドアロン配線36となる。このスタンドアロン配線36の長さは、図8では1ゲートピッチ以下であり、このように配線結合することを提案技術の範囲とする。差動入力でペアになったトランジスタが同じウェル構造の中にあることも他の重要ポイントである。ここでは、伝送線路はいずれもペアコプレーナ線路である。

【0050】電源・グランド層は、2点鎖線で示したように3層目にそれぞれのトランジスタアレーに沿ってペアコプレーナ線路として組まれている。これを分かり易いように断面構造で示したものが図9である。図9は、ドライバのトランジスタの部分の断面構造(絶縁層の断面表記省略)の一例を示す図である。トランジスタのn拡散領域12は、一方でプラグ41を通じて上層配線層42につながるコンタクト配線43に接続され、他方でプラグ41、ビアホール44、コラム45などを通じて上部電源・グランドペア層46に接続される。また、上部電源・グランドペア層46の直上には電源・グランドペア最上層47が配置される。なお、これらの各導体部分や各導体層は絶縁層により囲まれている。

【0051】寸法条件は、提案技術P12と同じ条件を提示する。まず、上部電源・グランドペア層46のコプレーナ線路の断面を注目する。電源・グランドのカップリングを強くするため、アスペクト比 $t/w \geq 1.5$ が望ましい。対抗面を増やすことで電源・グランドとのカップリングが強くなり、電磁界の外部への漏れを小さくするためである。次に、 $d < h$ の条件を満たす必要がある。対抗面電磁界のフリンジができるだけ層に渡って交叉しないようにする、すなわちクロストークを避けるためである。第3に $s/d \geq 1.5$ にすることである。これもフリンジの影響を避けるためである。同様のことが全てのペアコプレーナ線路(信号線、クロック線)で実現するべきである。ドライバ1やレシーバ2の構造はもちろん、数GHz以上のクロック周波数で動作するLSIの論理やメモリトランジスタの結線は全てこの構造にすることが望ましい。もちろん、この配線ルールは、好ましくはチップのグローバル配線全てに渡って適用されることは言うまでもない。

【0052】ドライバ1の出力は、主線路バスを通り終

端抵抗に至る過程で、グラントレベルのペア線路はいかなる場所でもコモングラントに接続せず、独立したグラント線として存在することを本発明の提案範囲とする。これによる効果は、グラントレベルがペア信号線と相補的にスウィングし、差動アンプのレシーバ2に有効な最大振幅が得られることにある。さらなる効果は、伝送線路の電磁界の乱れが最小になり、波形が乱れないとともに寄生インダクタンスと寄生キャパシタンスを最小にする回路となる。

【0053】その伝送線路の構造を示すと、図10のようになる。図10は、適切な伝送線路の一例を示す図であり、(a)はペアコプレーナ線路、(b)はガードコプレーナ線路(両端コモン)、(c)はスタックトペア線路、(d)はガードスタックトペア線路(上下コモン)をそれぞれ示す。図10においては、伝送線路51を絶縁層52の中に2対ずつ記述しているが、隣接ペア線路との距離はペア線路自身のスペースを基準にして、2倍以上のスペースを有することがペアコプレーナとスタックトペアのルールである。ガードコプレーナ線路とガードスタックトペア線路はペア線路自身のスペースを基準にして1倍以上のスペースで隣接配線スペースを設計できる。この制限を本発明の提案範囲とする。ガード付き線路の利点は、この範囲ではないが、伝送線路のインピーダンスを下げ、適切な設計範囲にすることができ、TEM波伝送条件を守るため、伝送線路51は均質な絶縁材料の絶縁層52で囲まれている必要はない。その範囲は、ペアコプレーナとスタックトペアでは導体外周から2sの広がりであり、ガードコプレーナとスタックトペアではsの広がりであることを本発明の提案範囲とする。

【0054】もし、この絶縁層52の広がりが守れない時の対応策を図11で提案する。図11は、不均質絶縁層における導体周辺の絶縁層の実効比誘電率の整合の一例を示す図である。図11においては、スタックトペア線路の一例を示す。このイメージは、プリント配線板で、最上層のソルダーレジスト53の部分である。ソルダーレジスト53が薄い(2sより薄い)ため、上部に広がる電気力線が空気層の部分に及ぶため、ソルダーレジスト53の実効比誘電率は小さくなる。下部の絶縁層52の比誘電率をaとすると、ソルダーレジスト53の実効比誘電率を同じaにするようにソルダーレジスト53の誘電率を大きくする構成を本発明は提案範囲とする。これにより、伝送線路51は実質的にTEM波モードを維持できる。ペアコプレーナ、スタックトペア線路にあっては2sの範囲に異種の絶縁層や空気層があるとき、実質的な比誘電率がその広がりの範囲で、同じ比誘電率となるように調整をした層構造が一般的な技術範囲である。ガードコプレーナ、ガードスタックトペア線路では広がりsの範囲で同様な規定が守られているものとする。

【0055】次に、図12で示すように、コラム、ピアホールなどのインピーダンス不整合の長さに対する考察をする。図12は、コラム、ピアホールなどのインピーダンス不整合の長さのモデルの一例を示す図であり、

(a)は線路61と線路62の間がコラム63およびピアホール64で接続されている状態を示し、(b)は入力波形に対する出力波形(1~4次と1~2次)を示す。チップ内絶縁層の比誘電率を3とすると、電磁波伝送速度は 1.73×10^8 [m/s]となり、 100μ m線路長の伝送遅れは0.578psとなる。主線路のパルス立ち上がり時間が10psと仮に設定したため、次のような現象と解釈できる。ミスマッチ部分にエネルギーが流れても、その帰りが $0.578 \times 2 = 1.156$ psであり、10psの間に8.5回往復可能な時間である。この往復調整で立ち上がり時間中にほぼ安定領域に達する。従って、立ち上がり中の波形の乱れはあるものの、立ち上がった後は安定した波形がミスマッチ部分を通過後、配線を進行することになる。

【0056】図13に示したように、エネルギー的に見る。図13は、50Ωを基準にしたミスマッチインピーダンスと多次反射エネルギーの通過率の一例を示す図である。3回(1~4次)の往復に要する時間を経過したエネルギーは、50Ω/200Ωのミスマッチでも90%は通過する。結論的に、この長さは無視できるものである。すなわち本発明では、 $t_r > 7 t_{pd}$ を提案範囲とする。

【0057】前述した図2は電源・グラントペア線路の電流が相補的になっていた。電源電流が信号オンオフに対してオンオフする回路で、バイパスコンデンサがそれに相当するバラクタなどが必要であったが、次に電源・グラントペア線路に電流が流れるドライバを提案する。これを示すと、図14のようになる。図14は、差動タイプのドライバの一例を示す図である。図14のドライバ1aはカレントスイッチの例であり、nMOSトランジスタTn21、Tn22、Tn23、Tn24、抵抗Re21からなり、入力信号Vsignal、 $\neg Vsignal$ に対して一定電流が流れる。デューティタイムがオン・オフ同じであれば前記図2の倍の電力消費となる。一定電流のため、バイパスコンデンサCb21はトランジスタ容量と貫通電流の対策ができればよい。

【0058】トランジスタ容量については、nMOSトランジスタTn21とTn22、Tn23とTn24が相補的に働くため、これを相補的なバラクタとして使用することが可能になり、前述した図2のように特別にバラクタを設けなくてもよい。ここで、相補的に動作する同じ種類のトランジスタが近接するときは、同じウェル内に設置する構造をとることで相補的なバラクタの効果を得る構造を本発明の一般的な提案範囲とすることができ、この効果でバイパスコンデンサCb21の役目は軽くなり、スイッチング時の貫通電流対応だけすればよい

ことになる。

【0059】nMOSトランジスタTn21, Tn22のドレイン電圧、nMOSトランジスタTn23, Tn24のドレイン電圧は上下段となっているために異なり、オン抵抗が異なることになる。しかし、nMOSトランジスタTn23, Tn24のいずれかがオンする時はドレイン電圧もソース電圧もほぼ0Vである。なぜならば、信号エネルギー(電荷量)はレシーバ2の負荷抵抗Rt21に向かって電磁波として進行することから、反射がない限り戻ってこないためである。従って、nMOSトランジスタTn23, Tn24は反射エネルギーを吸収する効果があれば良く、オン抵抗がnMOSトランジスタTn21, Tn22と異なっても良い。好ましくは、信号伝送路の特性インピーダンスと同じオン時のインピーダンスを持っていることである。もちろん、これはトランジスタサイズを大きくするため、必ずしも得策ではない。

【0060】nMOSトランジスタTn21, Tn22が、pMOSトランジスタになっても図14の原理が適用できることは言うまでもない。pMOSトランジスタはnMOSトランジスタより遅いこと、大きな面積を必要とすることで、nMOSトランジスタのみで構成した図14の方が有利である。

【0061】図14の差動タイプのドライバ1aに対して、前述した図2のドライバ1の優位性をもう一度振り返る。図2は急峻なステップ電流を流す欠点があるが、電力はオフ時間だけ節約できる。実は、急峻なステップ電流は図14の貫通電流の di/dt と同じであり、バイパスキャパシタの性能と必要性は同じである。このデイスチャージしたバイパスキャパシタをできるだけ早く再チャージするためには、冒頭で述べたもう1つの対策、電源線路の特性インピーダンスを小さくしなければならない。 $1 - \exp(-t/Z_0 C)$ で回復するからである。ここで、 Z_0 は電源・グランドペア線路の特性インピーダンス、 t は時間、 C はバイパスキャパシタである。

【0062】図14の回路であっても、負荷インピーダンスより、電源・グランドペアの伝送線路4の特性インピーダンスは小さくなければオームの法則で電圧が低下する。従って、図14、図2の両構成例とも、(電源電圧ペア線路特性インピーダンス) < (信号線特性インピーダンス) という条件となる。等しい時のシミュレーションが前述した図4の結果であり、電源電圧は5%のドロップが示されている。電源・グランドペア線路特性インピーダンス Z_0 はそれらにぶら下がるドライバセットを n とすると、

$Z_0 < Z_0/n$
としなければならない。

【0063】問題は、電源・グランドの伝送線路4の中に寄生インダクタンスが存在する時である。前述した図

3の回路条件では、0Hであるが、これが50pHであったとすると、2mAで10psのステップ電流とし、信号振幅100mVの10%の電源ドロップ $v = 10mV$ を許すとすると、

$$v = L \times di/dt = 0.05nH \times 2mA/10ps = 10mV$$

の計算で0.05nH以下が得られる。前述した図8の構成では、電源・グランドペアの条件がドライバのすぐそばまで守られているため、50pH以下の条件は守られる。

【0064】この設計が無理なときは、バイパスコンデンサがそれをカバーしなければならない。この寄生インダクタンスは50pH以下でなければならないが、電流経路が複雑な大容量のコンデンサでは実現できない。この必要容量を計算する。

【0065】前述した図3の条件で行う。信号伝送線路3mmの長さに電荷 Q をチャージする時間電流 t_{pd} は流れつづけるが、図3の条件では20psとなる。負荷に10fFが付いていることから、

$$Q = 2mA \times 20ps + 10fF \times 10mV = 40.1fC$$

が必要となる。なお、ドライバの接合容量はバラクタで補償しているため、ここでカウントの必要はない。電源電圧1V、信号振幅100mVに対して10%電圧降下を許容する条件から、

$40.1fC \times 10 \times n / 30mV = 134fF \times n$
ということになり、1バイトを n としても1.1nFという小さな容量であり、 n =数個でも寄生インダクタンス100pHを守れる条件となる。従って、電源・グランドペア線路特性インピーダンスかバイパスキャパシタのどちらか、または併設で解決可能である。しかし、パッケージ渡りの長い配線では、 t_{pd} が大幅に増大するため、この回路は電源・グランドペア線路の特性インピーダンスを下げる条件しか適用できない。

【0066】前述した図2に対して、電流一定にする方法を図15に提案する。図15は、電流を一定にしたバススイッチ型のドライバの一例を示す図である。ドライバ1bは、nMOSトランジスタTn31, Tn32, Tn33, Tn34、抵抗Re31, Re32からなり、入力信号Vsignal、 V_{signal} が入力される。バストランジスタがオフのときはnMOSトランジスタTn33, Tn34が抵抗Rt31を介して導通し、電源・グランドから見た電流は一定条件となる。

nMOSトランジスタTn31とTn33、nMOSトランジスタTn32とTn34がそれぞれ同じユエル構造の中に入り、電荷の再利用をする。前記図2と異なるところは、第1に、電源・グランドペア伝送線路4の相補的電流が確保されているため、 $Z_0 < Z_0/n$ の条件が確保されているならば、バイパスコンデンサCb31は不要である。つまり、電力は2倍消費するが、図2よ

り理想回路と言える。図2と図15の利点は、伝送線路の片側がグランドレベルにあり、回路上の取り扱いが容易である。すなわち、見かけ上シングルエンド波形の取り扱いができる（実は、これも信号伝達上、立派な差動伝送である）。ただし、終端側でグランドに落とすことはやってはならないことである。この点は、本発明に重要な概念である。

【0067】回路の最後の一例として、D型フリップフロップを図16に示す。図16は、D型高速フリップフロップ回路の一例を示す図であり、(a)はフリップフロップ回路、(b)はインバータをそれぞれ示す。このフリップフロップ回路は、クロックで同期するインバータによるD型フリップフロップであり、クロックCLKにより駆動するnMOSTランジスタ T_{n41} 、インバータを構成するpMOSTランジスタ T_{p42} 、 T_{p44} 、 T_{p46} 、 T_{p48} およびnMOSTランジスタ T_{n43} 、 T_{n45} 、 T_{n47} 、 T_{n49} などからなる。詳細には、インバータは、(b)のようにそれぞれダイオード型バラクタ V_{d41} 、 V_{d42} を持つような構成となっている。論理段数を同じにするため、出力Doutの部分のみがインバータではなくバッファ構成である。p型サブでは作りにくいが、i型サブのSOI構造であれば問題なく作ることができる。

【0068】ダイオードバラクタの構造と動作原理を示すと図17のようになる。図17は、ダイオードバラクタ付きCMOS構造とその電荷移動の一例を示す図である。図17において、nウエル71の構造の中に、pMOSTランジスタとともに形成された一方のダイオード(V_{d41})はn⁺拡散領域72とp⁺拡散領域73からなり、p⁺拡散領域73の周囲には空乏層74が形成される。pウエル75の構造の中に、nMOSTランジスタとともに形成された他方のダイオード(V_{d42})はp⁺拡散領域76とn⁺拡散領域77からなり、n⁺拡散領域77の周囲には空乏層78が形成される。SOIではpウエル、nウエルにそれぞれダイオードが組み込まれていて、ダイオードの接合容量が蓄積電荷として相補的に再利用できることになる。

【0069】前述した図1のグローバル配線は、バスを主体とした信号やり取りをする回路であり、以上の説明でその回路システム、すなわち、ラッチ（フリップフロップ）、ドライバ、レシーバ、ラッチ（フリップフロップ）に渡る経路は一応網羅したことになる。差動信号が主体でコモングランドとは隔離した信号系となる。この回路のLSIチップに対する比率が10%程度にとどまれば、電力消費はそれほど問題がない。ただし、本発明は、このパーセンテージ制限を付けるものではない。しかし、集中定数回路部分の電力消費とゲート遅延、RC遅延も無視できない。DRAM、SRAM、論理ゲート全ての回路に対して図17のように蓄積電荷の再利用手段を設けることはトランジスタ数の増大より利点が大き

い。従って、本発明の提案範囲は全ての回路について要する電荷再利用手段を設けたことを特徴とするものである。

【0070】以上で、ドライバ・レシーバ伝送システムのデバイスと回路的な部分を説明した。

【0071】2. システム構造

次に、この目的に沿ったシステムを構成する構造的部分について説明する。チップ渡りをイメージした、まず理想的形を示すと等長並行配線とそのピッチで接続する構造となる。これを図18に示す。図18は、チップ間伝送線路の接続構造の一例を示す図であり、(a)はチップを透視で見た平面図、(b)は(a)のb-b'切断線における断面図である。チップ101とチップ102の間で、パッドーパッド接続を基本とし、片道（一方通行）線路となる。レシーバ端は終端抵抗103が接続されているが、チップ内にあっても、チップ外にあっても問わない。要は整合終端であることである。パッドーパッド間しか伝送線路を示していないが、チップ内も前述した図5のように伝送線路であることは言うまでもない。

【0072】チップ内で好ましい伝送線路構造はコプレーナ線路であったが、アスペクト比の大きい縦長の断面構造はパッケージやプリント配線板でとれないため、ここではスタックトペア線路が望ましい線路構造である。

(a)のようにチップを透視で見ると、ドライバ104からコプレーナ線路を通してチップパッド105に至り、ここでフリップチップ接続により配線板106に接続される。パッド幅より下にもぐり込む信号線107と電源・グランド線108はフリップチップのパッド下ビアホールでそれぞれの下層に接続され、できるだけ短い距離で重なり、(b)の断面構造のようになる。

【0073】ペアの下層はスタック上下のずれや、電磁界の下層への漏れを防止するため、線幅wより $1.2 \sim 1.5$ 倍を取ることが望ましい。既に述べたものであるが、スタックトペア線路の関係を示すと、 $w \leq s$ 、 $(d + t) \leq s/2$ 、 $d \leq 2h_1$ 、 $d \leq 2h_2$ でなければならない。ドライバ104から等位置にレシーバパッド109が設けられ、レシーバ110につながっている。この短い配線もパッケージ内であればスタックトペア線路、チップ内であればコプレーナ線路であることが望ましい。断面構造で分かるように、電源・グランド線108などの直行する線路が信号線107のスタックトペア線路の下に設定されている。バイパスコンデンサ111がドライバ104の周辺に設置されていることは既に述べた如くである。

【0074】このような構成で、ドライバチップとレシーバチップのパッド配列から次の図19に示すような要件が出てくる。図19は、チップパッド配列の制約の一例を示す図である。図19においては、コントローラのチップ121とメモリのチップ122が、各チップパッ

ド 123, 124 からバス線路 125 を通じて接続されている。

【0075】(1) チップパッドのピッチの 2 倍のピッチでスタックトペア線路を這わせ、パッドはバス線路方向と直行する直線状に整列する必要がある。(2) チップの 1 列パッドから信号線を取り出す構造となり、他の辺に結合するときの制約条件が大きくなる。この 2 つの制約は設計者にとって大きな問題を提起することになる。チップ面積が改良によりシュリンクしたとき、パッドピッチもシュリンクさせなければならない。プリント配線板の技術的改善で配線ピッチをシュリンクしたときも同様にチップパッドピッチをシュリンクしなければならない。ドライバ (コントローラ) チップとメモリチップの改良タイミングは異なり、整合条件が見つげにくくなる。パッドピッチのシュリンクは最も信頼度に影響する接合技術の改良が求められることになり、困難さを伴う。

【0076】このため、インターポーザとしての LSI パッケージを使用することで一応の解決が図れるが、図 20 のような分岐配線長の延長やファンアウト型配線構造が求められる。図 20 は、パッケージを用いたときのファンアウト配線構造の一例を示す図である。図 20 においては、プリント配線板 131 上において、コントローラのチップ 132 を実装したパッケージ 133 と、メモリのチップ 134 を実装したパッケージ 135 がバス線路 136 を通じて接続される。各パッケージ 133, 135 において、チップパッド 137, 140 とパッケージパッド 138, 141 はファンアウト配線 139, *

$$Z_0 = (377 / \sqrt{\epsilon_r}) \{ (w/d) + (1/\pi) \ln(4) + ((\epsilon_r + 1)/2\pi\epsilon_r) \ln(\pi\epsilon_r(w/d) + 0.94/2) + (((\epsilon_r - 1)/2\pi\epsilon_r^2) \ln(\epsilon_r^2/16))^{-1} \} \quad [\Omega]$$

【0081】から、 $d = 39 \mu\text{m}$ が求まる。ここでは、分岐パッドが存在するが、バス構造は終端まで同じであり、特性インピーダンスの不整合を心配する必要はない。並行等長配線を前提にすると、パッドピッチは $w/2 = 100 \mu\text{m}$ となり、現状技術で設計可能である。 h の厚みをプリント配線板 131 のプリプレグの標準である $60 \mu\text{m}$ にすれば、理想的な層構造となる。

【0082】一方、パッケージ配線は、チップパッド 137, 140 のピッチに従って設計する必要がある。ここで、チップパッド 137, 140 のピッチを $50 \mu\text{m}$ とすると、パッケージ上のスタックトペア配線の w は $100 \mu\text{m}$ となる。上式より $d = 19.5 \mu\text{m}$ となる。これでチップパッド 137, 140 から終端抵抗まで 28Ω の伝送線路設計となるが、ファンアウト配線 139, 142 の配線長さが異なるため、図 21 のような工夫をする。図 21 は、等長ファンアウト配線の一例を示す図である。

【0083】ファンアウト配線に対する等長配線の公知例として、ジグザグ蛇行構造のミアンダー配線が良く採用されているが、隣接効果で電磁界的に複雑な伝送特性

* 142 を通じて接続されている。

【0077】配線延長は制限範囲内に収める構造的工夫はできても、ファンアウト構造は等長配線という原則が崩れ、同期着信に問題がでる。ファンアウト配線 139, 142 の配線幅が広がるように設計すると、特性インピーダンスが変化するという問題もでる。本発明は、これらの問題解決構造についても提案する。

【0078】図 20 では、便宜上、スタックトペア線路的な表現でないが、パッケージ内ファンアウト構造もプリント配線板上の配線もスタックトペア線路であるとする。プリント配線板 131 の線路寸法はファンアウト配線 139, 142 より太くできる。しかも、ファンアウトの広がり角を調節することで、その寸法が自由に設定できる。すなわち、チップパッド 137, 140 のピッチと独立に設計できるため、パッケージを使用することは既存技術の主流になっていた。高速信号系では、全ての線路に渡って特性インピーダンスが同一であること、等長配線であることが求められる。この項は提案技術 P12 と同様である。

【0079】特性インピーダンス 28Ω を基準にして考える。チップ内では特性インピーダンスを 100Ω としたが、ここで 100Ω 設計は易しく、最悪ケースの設計も可能であることを示すために 28Ω を選んだ。ここで、 $w = 200 \mu\text{m}$, $\epsilon_r = 4.5$ とすると、スタックトペア線路の特性インピーダンス近似式 (Harald A. Wheeler) (図 18 の記号参照)

【0080】

【数 1】

になるため、図 21 のように円弧が等長であるようにレイアウトする。すなわち、チップパッド 137 (140) とパッケージパッド 138 (141) を接続するファンアウト配線 139 (142) を円弧で等長にすることで、ミアンダーのような折れ曲がり反射がないため、スムーズな伝送が期待されるだけでなく、隣接配線間距離も比較的広く取れるためクロストークに対しても有利な配置となる。

【0084】幾何学的な円弧で設計する計算式を構築すると、図 22 に従い、次のようになる。図 22 は、円弧 AB を一定にして弦 AB を変換するためのモデルの一例を示す図である。弦 $AB = l$ は最外端パッド間の直線距離である。これを変数とし、円弧 AB を一定とする半径 OP を見出す関係式となる。今、線分 $PC = r_1 - h_1$, $CO = h_1$ とすると、 $(l/2)^2 = r_1^2 - h_1^2$ が得られ、 $\theta_1/2 = \tan^{-1}(l/2h_1)$ から、円弧 $AB = r_1\theta_1$ [ラジアン] が得られる。これらの式から h_1 を適当に求めると、 r_1 が求まる。円弧 $AB = r_1\theta_1$ は一定として次以降のパッド間距離 l に対して h_1 と r_1 を求めることができる。

【0085】

$$\text{円弧AB(一定)} = \sqrt{r^2 - (l/2)^2} \cdot \tan^{-1}(l/2) \sqrt{r^2 - (l/2)^2}$$

【0086】もちろん、円弧ABは楕円や任意の高次曲線（図21）でもよく、急激な曲がりのないことが本発明の提案項目となる。

【0087】以上では、パッケージを使用した構造案を提示したが、最近、パッケージを省略してプリント配線板上にチップを直接接続し、ファンアウト配線を経た後、並行バス配線とする設計手法がよく用いられているが、線幅wに応じてペア線間距離dを変更することは同一基板上で作りにくい。たとえ作ったとしてもコスト高になり、その段差部分の接続信頼度が低下する。

【0088】次なる提案は、ペア線間距離dを一定にして線幅wを変える構造に関するものである。図23にこれを示す。図23は、ペア線間の距離を一定にして線幅を変える線路構造の一例を示す図である。図23のよう※

$$Z_0 = \sqrt{L_0/C_0}$$

【0091】は同一線幅wであれば小さくなる。逆に、 Z_0 を一定とすれば、wを小さくできることになる。マ

イクロストリップ線路153の近似式（Harold ★

$$Z_0 = (377/2.828\pi \sqrt{\epsilon_r + 1}) \ln \{1 + (4d/w) [((14 + 8/\epsilon_r)/11)$$

$$(4d/w) + \sqrt{((14 + 8/\epsilon_r)/11)^2 (4h/w)^2 + \pi^2 (1 + 1/\epsilon_r)/2}]\} \quad [Q]$$

【0093】となる。 $Z_0 = 28\Omega$ とすると、 $d = 39\mu\text{m}$ で $w = 170\mu\text{m}$ が算出される。導体厚み $t = 25\mu\text{m}$ を補正すると、経験的に $25\mu\text{m}$ をマイナスするため、補正 $w = 145\mu\text{m}$ が得られる。スタックトペア線路 $w = 200\mu\text{m}$ に対して同じペア線間スペース $d = 39\mu\text{m}$ で、マイクロストリップ線路153にすると、 $w = 145\mu\text{m}$ まで微細化が可能となる。イメージは図23のようになる。

【0094】チップパッド $50\mu\text{m}$ ピッチ、ファンアウト配線 $w = 100\mu\text{m}$ の設計に対して、 $145\mu\text{m}$ は不足であるが、パッドの極近傍で絞り込むことで対応が可能となる。絞り込む配線長は分岐配線長と同じ考えで良く、 $(7 \times \text{絞り込み長さの総合遅れ時間}) < (\text{立ち上がり時間})$ となればよい。

【0095】最後に、チップ間接続と電源・グラウンド分配のシステムを示すと、図24のようになる。図24は、パッケージ間、言い換えれば各パッケージに実装されたチップ間の接続と電源・グラウンドペア線路の配置の一例を示す図である。図24に示すシステムにおいて、明快に分かるが、電源・グラウンドコモン線路161を設けるのみで、ベタグラウンド、ベタ電源は不要であり、決して設けてはならない。CPUパッケージ162からメモリパッケージ163～166のそれぞれに実装されたチップに渡る信号バス167の信号線路の長さが異なるが、クロック伝送線路168で供給されるクロック信号

※に、チップパッド151とパッケージパッド152を接続するファンアウト構造の部分はマイクロストリップ線路153（またはストリップ線路）とし、並行バス線路はスタックトペア線路154として使い分けることを提案する。なお、マイクロストリップ線路153の他の部分はベタグラウンド155となっており、また一例としてスタックトペア線路154には分岐電極156が設けられている。

【0089】マイクロストリップ線路（ストリップ線路）153は、グラウンドに対しての電界が広がり、単位長さ当たりのキャパシタンス C_0 が増大する。その結果、

【0090】

【数3】

20★A. Wheeler）（図18の記号参照）は、

【0092】

【数4】

の伝送遅れを利用すれば、同期可能である。なお、CPUパッケージ162、メモリパッケージ163～166への電源は、I/O配置スペース169において、電源・グラウンドコモン線路161から電源ペア線路170を通じて供給される。

【0096】以上説明したように、本実施の形態の信号伝送システムによれば、電源・グラウンドのペア線路から供給される電荷を滞りなく送信トランジスタに送り、さらに信号伝送線路を通し、受信トランジスタを反応させ、反応させた電荷を終端抵抗で熱に変えるという過程である。数十GHzの信号は、このような概念を守る必要がある、この概念を実現する構造と構成とその方法を以上のように提案することにより、数十GHz帯のデジタル高速信号を通すことができる。

【0097】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0098】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0099】本発明によれば、コモングラウンド、回路のコモン電源を排除した構成を作り、回路や線路にパルス

的エネルギー（電荷量）が動く過程をできるだけ制限しないようにし、かつ、反射を引き起こす不連続点をなくすることで、できるだけ従来のシステム構成と部品構成を肯定しながら、数十GHz帯のデジタル高速信号を通すための信号伝送技術を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態において、一般的なLSIの配線長分布を示す図である。

【図2】本発明の一実施の形態において、ドライバとレシーバを接続する構造の一例を示す図である。

【図3】本発明の一実施の形態において、35GHzクロック相当のシミュレーションモデル回路を示す図である。

【図4】本発明の一実施の形態において、図3の回路のシミュレーション結果を示す図である。

【図5】本発明の一実施の形態において、図2におけるnMOS構造のドライバの断面構造の一例を示す図である。

【図6】本発明の一実施の形態において、バイポーラトランジスタのキャリア再利用回路を示す図である。

【図7】本発明の一実施の形態において、レシーバ側の回路の一例を示す図である。

【図8】本発明の一実施の形態において、ドライバの平面構造の一例を示す図である。

【図9】本発明の一実施の形態において、ドライバのトランジスタの部分の断面構造の一例を示す図である。

【図10】(a)～(d)は本発明の一実施の形態において、適切な伝送線路の一例を示す図である。

【図11】本発明の一実施の形態において、不均質絶縁層における導体周辺の絶縁層の実効比誘電率の整合の一例を示す図である。

【図12】(a)、(b)は本発明の一実施の形態において、コラム、ビアホールなどのインピーダンス不整合の長さのモデルの一例を示す図である。

【図13】本発明の一実施の形態において、50Ωを基準にしたミスマッチインピーダンスと多次反射エネルギーの通過率の一例を示す図である。

【図14】本発明の一実施の形態において、差動タイプのドライバの一例を示す図である。

【図15】本発明の一実施の形態において、電流を一定にしたバススイッチ型のドライバの一例を示す図である。

【図16】(a)、(b)は本発明の一実施の形態において、D型高速フリップフロップ回路の一例を示す図である。

【図17】本発明の一実施の形態において、ダイオードバラクタ付きCMOS構造とその電荷移動の一例を示す図である。

【図18】(a)、(b)は本発明の一実施の形態において、チップ間伝送線路の接続構造の一例を示す図であ

る。

【図19】本発明の一実施の形態において、チップパッド配列の制約の一例を示す図である。

【図20】本発明の一実施の形態において、パッケージを用いたときのファンアウト配線構造の一例を示す図である。

【図21】本発明の一実施の形態において、等長ファンアウト配線の一例を示す図である。

【図22】本発明の一実施の形態において、円弧ABを一定にして弦ABを変換するためのモデルの一例を示す図である。

【図23】本発明の一実施の形態において、ペア線間の距離を一定にして線幅を変える線路構造の一例を示す図である。

【図24】本発明の一実施の形態において、チップ間接続と電源・グランドペア線路の配置の一例を示す図である。

【符号の説明】

1, 1a, 1b ドライバ

2 レシーバ

3 信号伝送線路

4 電源・グランド伝送線路

11 Pウエル

12 n拡散領域

13 酸化膜

14 電子

15 ホール

21 Pウエル

22 nウエル

31 ペア伝送線路

32 コンタクト

33 伝送線路

34 伝送線路

35 コンタクト

36 スタンドアロン配線

41 プラグ

42 上層配線層

43 コンタクト配線

44 ビアホール

45 コラム

46 上部電源・グランドペア層

47 電源・グランドペア最上層

51 伝送線路

52 絶縁層

53 ソルダーレジスト

61, 62 線路

63 コラム

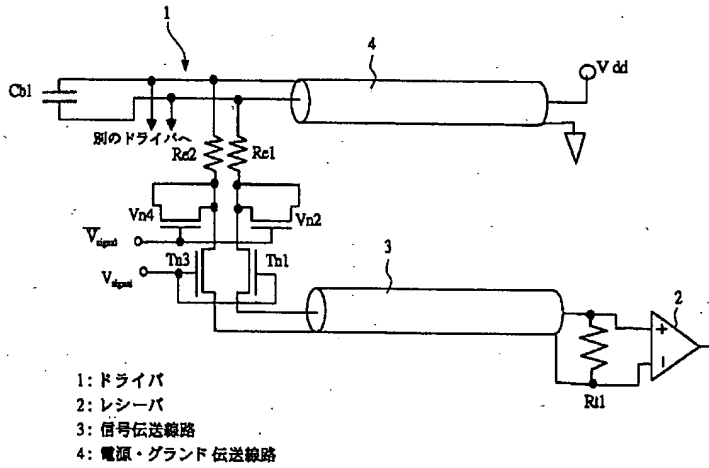
64 ビアホール

71 nウエル

72 n 拡散領域

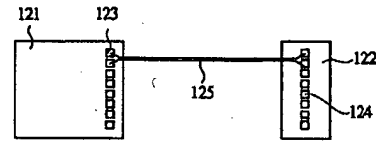
【図2】

図 2



【図19】

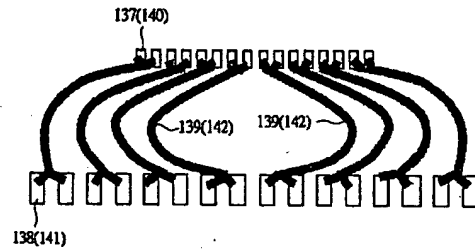
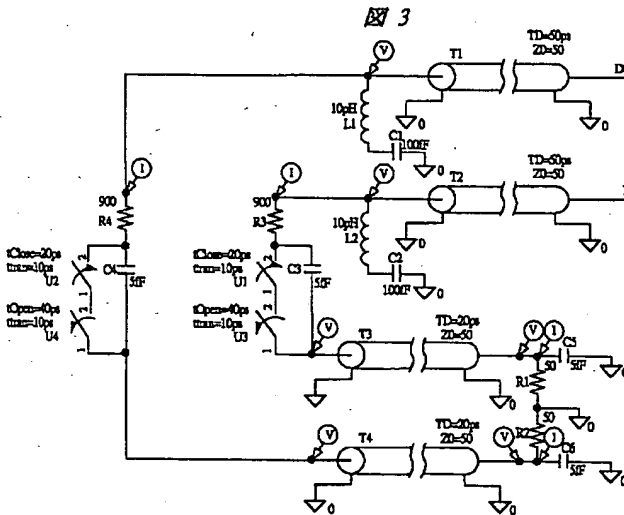
図 19



【図3】

【図21】

図 21

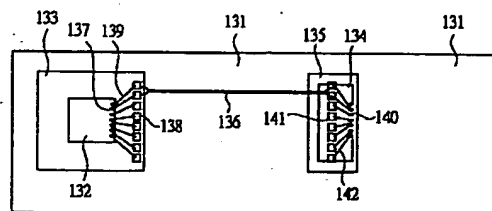
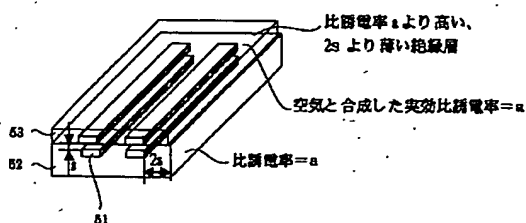


【図11】

【図20】

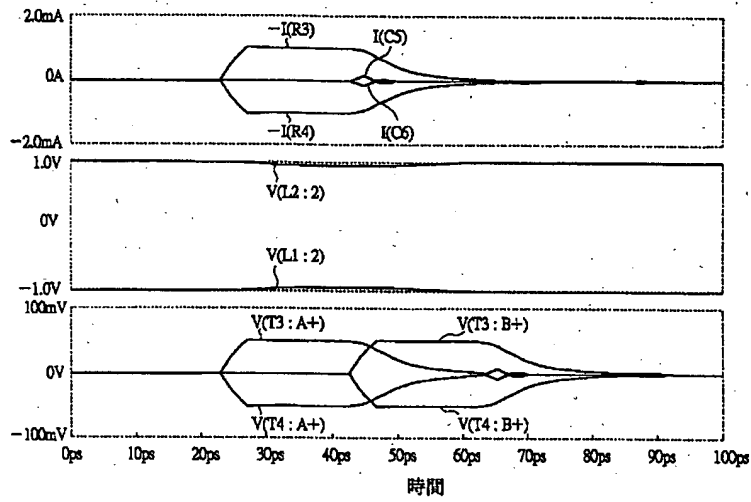
図 11

図 20



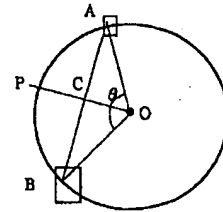
【図4】

図 4



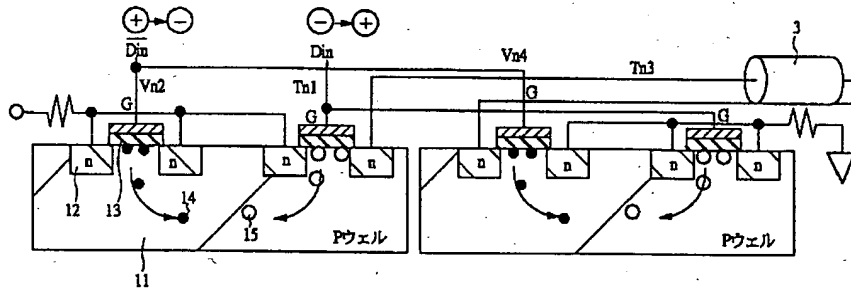
【図22】

図 22



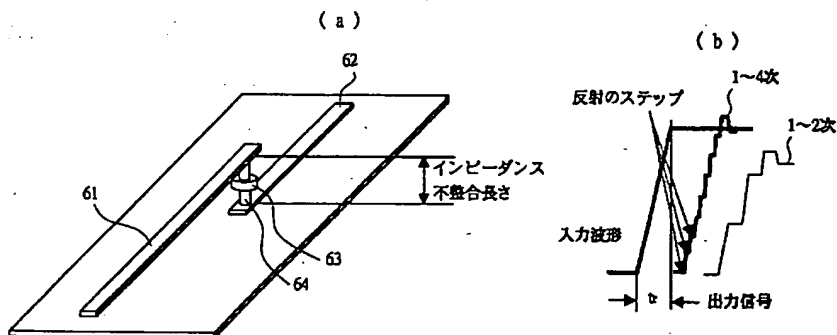
【図5】

図 5



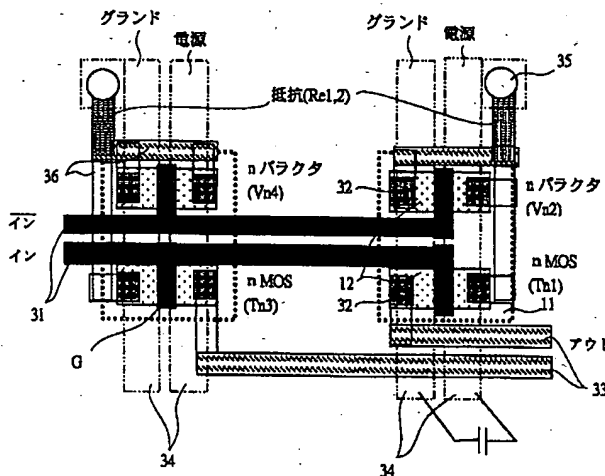
【図12】

図 12



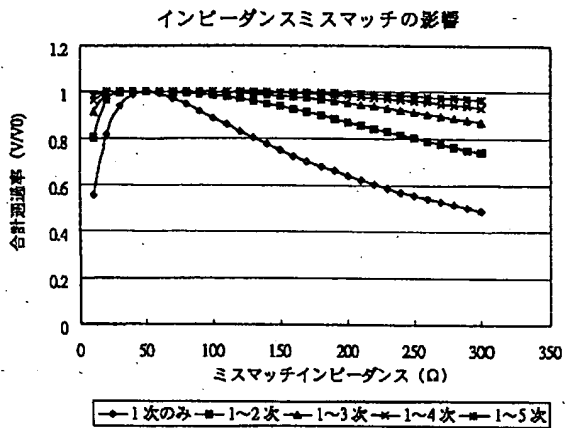
【図8】

図 8



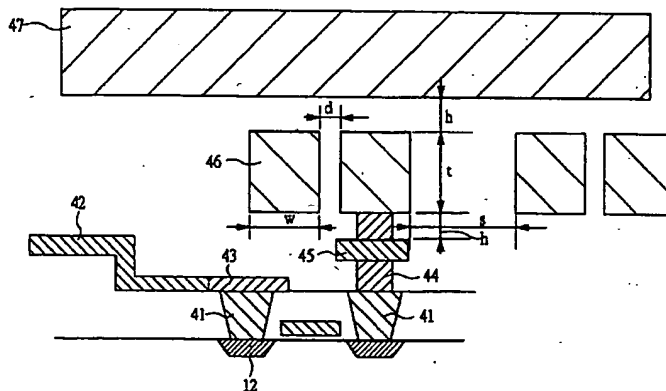
【図13】

図 13



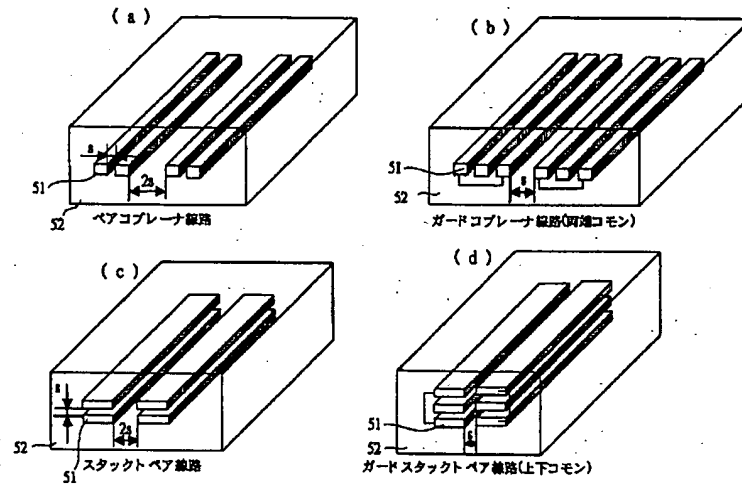
【図9】

図 9



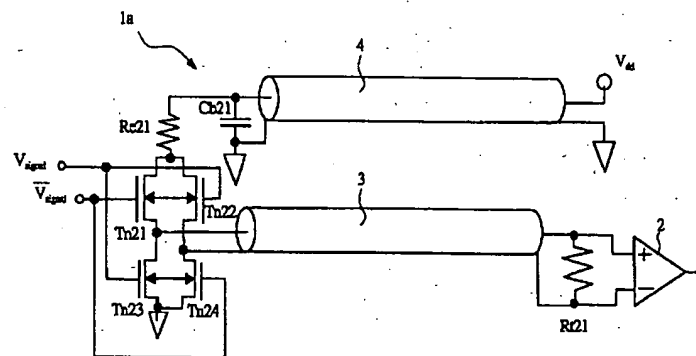
【図10】

図 10



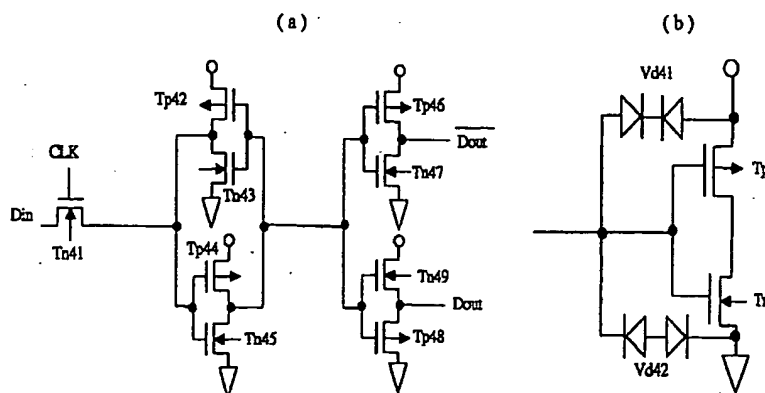
【図14】

図 14

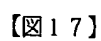


【図16】

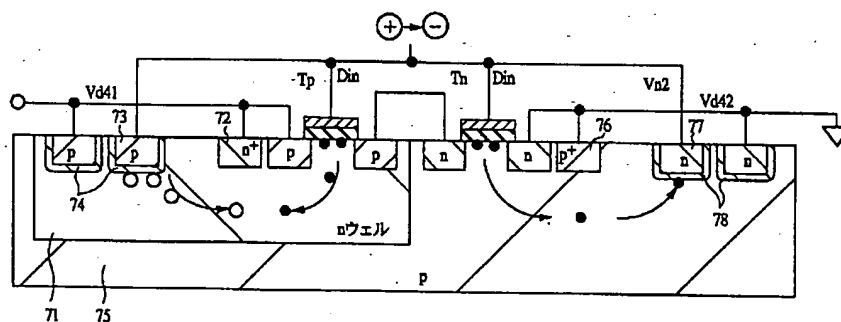
図 16



15

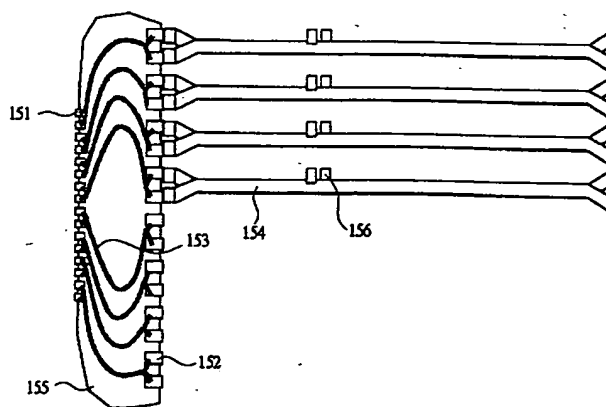


17

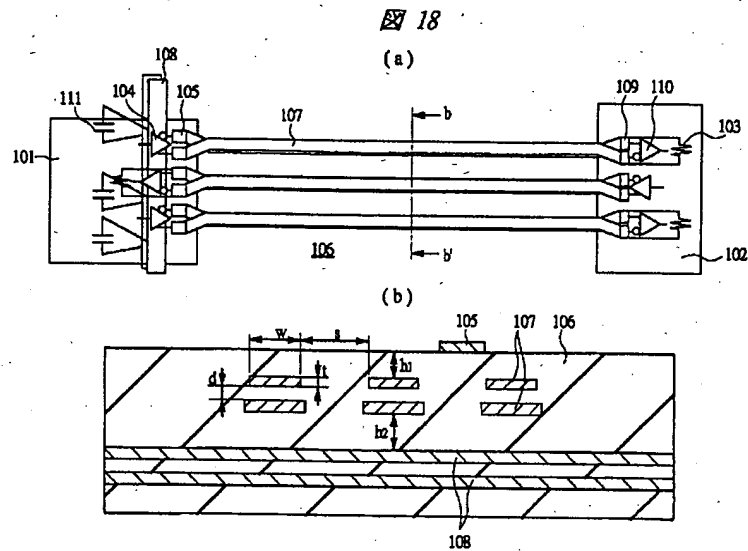


【图 2 3】

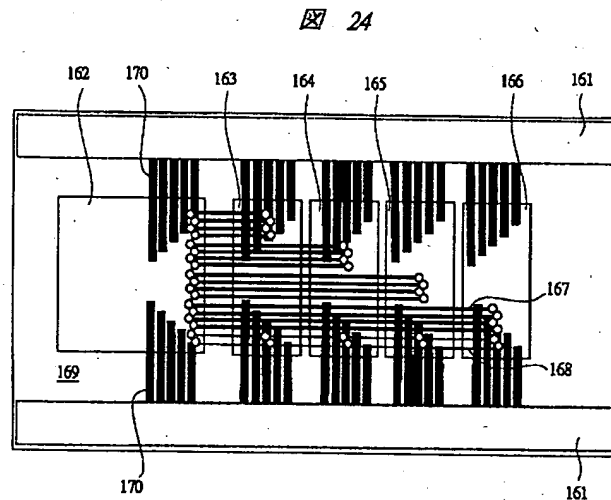
23



【図18】



【図24】



フロントページの続き

(71)出願人 000000295
 沖電気工業株式会社
 東京都港区虎ノ門1丁目7番12号

(71)出願人 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号

(71)出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号

(71)出願人 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号

(71)出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号

(71)出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号

(21)

特開2003-224462

(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号

(71)出願人 000116024
ローム株式会社
京都府京都市右京区西院溝崎町21番地
(72)発明者 大塚 寛治
東京都東大和市湖畔2-1074-38
(72)発明者 宇佐美 保
東京都国分寺市西町2-38-4
Fターム(参考) 5F048 AB03 AB10 AC01 AC10 BA01
BE03
5J056 AA00 AA40 BB02 BB59 DD13
DD28 FF08 GG04 KK02
5K029 AA11 BB03 CC01 DD04 GG07
HH01